

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-118229

(43)Date of publication of application : 19.04.2002

(51)Int.Cl.

H01L 27/04  
H01L 21/822  
G01R 31/28  
H01L 21/82

(21)Application number : 2000-305653

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 05.10.2000

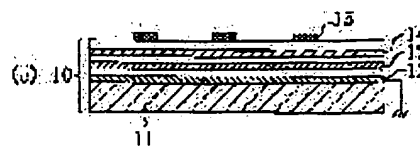
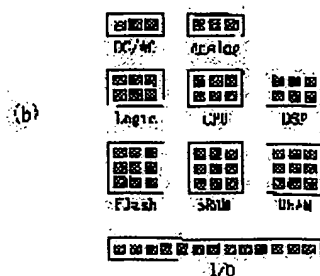
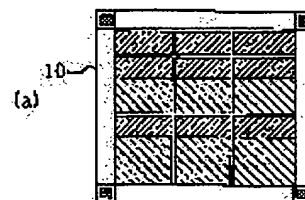
(72)Inventor : FUJIMURA KATSUYA  
YOKOYAMA TOSHIYUKI  
SHIOMI KENTARO  
MOTOHARA AKIRA

(54) SEMICONDUCTOR DEVICE, METHOD FOR SETTING FUNCTION OF THE SEMICONDUCTOR DEVICE, AND METHOD FOR EVALUATING THE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device that is configured by mounting a plurality of chips IP onto a common semiconductor wiring board, and is applicable to a small variety mass production, and to provide a method for evaluating the semiconductor device and a method for setting the function of the semiconductor device.

SOLUTION: On a silicon wiring board 10, each kind of IP group can be mounted as a chip IP. The silicon wiring board 10 has a silicon substrate 11, a ground plane 12, a wiring layer such as first and second wiring layers 13 and 14, and a pad 15. Then, the IP (IP chip) is laminated for mounting onto the pad 15. A means for selecting, switching, and setting the function of each IP is provided, thus providing as many functions as possible for achieving versatility in the semiconductor device, at the same time, selecting functions required according to the purposes of use, and



adapting to a small variety mass production.

---

## LEGAL STATUS

[Date of request for examination] 29.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-118229

(P2002-118229A)

(43) 公開日 平成14年4月19日 (2002. 4. 19)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-ト (参考)

H 0 1 L 27/04  
21/822  
G 0 1 R 31/28  
H 0 1 L 21/82

H 0 1 L 27/04  
G 0 1 R 31/28  
H 0 1 L 21/82

T 2 G 0 3 2  
V 5 F 0 3 8  
T 5 F 0 6 4

審査請求 有 請求項の数42 O L (全 20 頁)

(21) 出願番号 特願2000-305653(P2000-305653)

(22) 出願日 平成12年10月5日 (2000. 10. 5)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 藤村 克也

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 横山 敏之

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

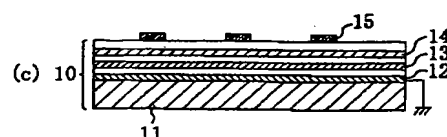
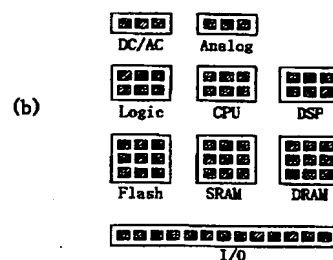
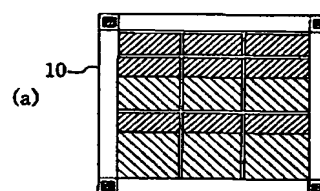
最終頁に続く

(54) 【発明の名称】 半導体デバイス、その機能設定方法及びその評価方法

(57) 【要約】

【課題】 共通の半導体配線基板上に複数のチップ I P を搭載して構成され、少品種、大量生産に適合しうる半導体デバイス、その評価方法及びその機能設定方法を提供する。

【解決手段】 シリコン配線基板 1 0 上には、各種 I P 群がチップ I P として搭載可能となっている。シリコン配線基板 1 0 は、シリコン基板 1 1 と、グランドプレーン 1 2、第 1 配線層 1 3、第 2 配線層 1 4 などの配線層と、パッド 1 5 とを備えている。そして、パッド 1 5 上に I P (チップ I P) を貼り合わせにより搭載する構造となっている。各 I P の機能を選択、切り換え、設定する手段を設けることにより、できるだけ多くの機能を備えて半導体デバイスの汎用化を図りつつ、使用目的に応じた必要な機能の選択を可能として、少品種、多量生産に適合させる。



1

## 【特許請求の範囲】

【請求項 1】 配線層を有する半導体配線基板と、  
上記半導体配線基板上に貼り合わせにより搭載され、各々少なくとも 1 つの機能を有する複数の評価用チップ I P とを備えている半導体デバイス。

【請求項 2】 請求項 1 記載の半導体デバイスにおいて、  
上記半導体配線基板の配線層は、通常動作配線層と、該通常動作配線層の上方に設けられた評価用配線層とを有し、  
上記評価用チップ I P は少なくとも上記評価用配線層に電気的に接続されていることを特徴とする半導体デバイス。

【請求項 3】 配線層を有する半導体配線基板と、  
上記半導体配線基板上に貼り合わせにより搭載され、各々複数の機能を有する複数のチップ I P と、  
上記複数のチップ I P 全体における複数の機能のうち一部の機能のみを活性化する機能選択手段とを備えている半導体デバイス。

【請求項 4】 請求項 3 記載の半導体デバイスにおいて、  
上記機能選択手段は、上記複数の機能に印加される論理信号であることを特徴とする半導体デバイス。

【請求項 5】 請求項 3 記載の半導体デバイスにおいて、  
上記機能選択手段は、上記複数の機能に接続され、論理入力を受けて、上記一部の機能のみを出力するセレクトであることを特徴とする半導体デバイス。

【請求項 6】 請求項 5 記載の半導体デバイスにおいて、  
上記配線層は、電源電圧を供給するための電源配線と接地電圧を供給するためのグランド配線とを備えており、  
上記半導体配線層の電源配線及びグランド配線のいずれか一方と、上記セレクトとを互いに接続する接続手段をさらに備え、  
上記論理入力は、上記電源電圧又は接地電圧であることを特徴とする半導体デバイス。

【請求項 7】 請求項 3 記載の半導体デバイスにおいて、  
上記機能選択手段は、上記一部の機能と上記半導体配線基板の配線層とを互いに接続する接続手段であることを特徴とする半導体デバイス。

【請求項 8】 請求項 3 記載の半導体デバイスにおいて、  
上記半導体配線基板の上に設けられ、上記複数のチップ I P の上記複数の機能とは上記配線層を介して接続されて、上記一部の機能のみを選択するように制御する制御回路を有するチップ I P をさらに備えていることを特徴とする半導体デバイス。

【請求項 9】 請求項 3 記載の半導体デバイスにおいて

2

て、  
上記複数のチップ I P の上記複数の機能に接続されて、  
上記複数の機能のうち活性にする機能と不活性にする機能とを記憶するための記憶手段と、  
上記記憶手段に上記一部の機能のみを活性にするように記憶させる設定手段とをさらに備えていることを特徴とする半導体デバイス。

【請求項 10】 請求項 9 記載の半導体デバイスにおいて、  
上記設定手段は、ネットワークを介して上記記憶手段に接続されていることを特徴とする半導体デバイス。

【請求項 11】 配線層を有する半導体配線基板と、  
上記半導体配線基板上に貼り合わせにより搭載され、複数の機能を有するチップ I P と、  
上記チップ I P に設けられ、上記複数の機能に関する機能情報を記憶する機能情報記憶手段とを備えている半導体デバイス。

【請求項 12】 請求項 11 記載の半導体デバイスにおいて、  
上記機能情報記憶手段は、上記各機能に I D 番号を付して上記機能情報を記憶していることを特徴とする半導体デバイス。

【請求項 13】 請求項 11 又は 12 記載の半導体デバイスにおいて、  
上記複数の機能に関する機能情報は、表示手段上に表示できるように規格化されていることを特徴とする半導体デバイス。

【請求項 14】 請求項 11 又は 12 記載の半導体デバイスにおいて、  
上記チップ I P の上記機能情報を受けて、自己の機能を決定するように構成された別のチップ I P をさらに備えていることを特徴とする半導体デバイス。

【請求項 15】 請求項 11 ～ 14 のうちいずれか 1 つに記載の半導体デバイスにおいて、  
上記チップ I P は、キー信号を受けたときに上記機能情報記憶手段に記憶されている上記機能情報を出力するように構成されていることを特徴とする半導体デバイス。

【請求項 16】 請求項 11 ～ 15 のうちいずれか 1 つに記載の半導体デバイスにおいて、  
上記機能情報記憶手段から出力された上記機能情報を暗号化する暗号化手段をさらに備えていることを特徴とする半導体デバイス。

【請求項 17】 請求項 16 記載の半導体デバイスにおいて、  
キー信号を受けたときには、上記暗号化された機能情報を復号化して出力する復号化手段をさらに備えていることを特徴とする半導体デバイス。

【請求項 18】 配線層を有する半導体配線基板と、  
上記半導体配線基板上に貼り合わせにより搭載され、複数の機能を有する複数のチップ I P と、

10

20

30

40

50

上記各チップIPに設けられ、上記複数の機能に関する情報を記憶する機能情報記憶手段とを備え、

上記複数のチップIPは、互いに他のチップIPの機能情報記憶手段にアクセスして、機能情報を読み出すことが可能に構成されていることを特徴とする半導体デバイス。

【請求項19】 請求項18記載の半導体デバイスにおいて、

上記複数のチップIPは、それぞれキー信号を送受信するキー信号送受信部を備えており、自己のキー信号送受信部に上記キー信号を受けたときに上記機能情報記憶手段に記憶されている上記機能情報を出力するように構成されていることを特徴とする半導体デバイス。

【請求項20】 請求項19記載の半導体デバイスにおいて、

上記複数のチップIPは、上記機能情報記憶手段の機能情報を互いに認識が可能な符号に符号化してから機能情報の送受信を行なうように構成されていることを特徴とする半導体デバイス。

【請求項21】 請求項18～20のうちいずれか1つに記載の半導体デバイスにおいて、

上記各機能情報記憶手段は、上記各機能にID番号を付して上記機能情報を記憶しており、上記ID番号に基づいて上記機能情報を認識するための機能認識手段をさらに備えていることを特徴とする半導体デバイス。

【請求項22】 請求項21記載の半導体デバイスにおいて、

上記機能認識手段は、上記各チップIPとは別のチップIP内に設けられていることを特徴とする半導体デバイス。

【請求項23】 請求項22記載の半導体デバイスにおいて、

上記機能認識手段は、メモリの記憶内容として設けられていることを特徴とする半導体デバイス。

【請求項24】 請求項21記載の半導体デバイスにおいて、

上記機能認識手段は、上記各チップIP内に上記機能情報記憶手段と一体化されて設けられていることを特徴とする半導体デバイス。

【請求項25】 請求項21～24のうちいずれか1つに記載の半導体デバイスにおいて、

上記各機能情報記憶手段は、半導体デバイスで用いられるmビットのアドレスの下位のnビット( $n < m$ )を記憶する第1の記憶部と、mビットのアドレスの( $n + 1$ )以上の上位ビットを上記ID番号として記憶する第2の記憶部とを有しており、

mビットの入力アドレスの( $n + 1$ )以上の上位ビットと上記第2の記憶部のID番号とが一致するかどうかを判定する手段をさらに備えていることを特徴とする半導体

デバイス。

【請求項26】 請求項19記載の半導体デバイスにおいて、

上記複数のチップIPは、互いに他のチップIP内の機能情報記憶手段の機能情報に基づいて自己の機能を変化させ又は設定することが可能に構成されていることを特徴とする半導体デバイス。

【請求項27】 請求項26記載の半導体デバイスにおいて、

10 上記各チップIP内の記憶情報記憶手段の記憶情報を受けて、上記各チップIPの機能を変化させ又は設定する制御回路をさらに備えていることを特徴とする半導体デバイス。

【請求項28】 配線層を有する半導体配線基板と、上記半導体配線基板上に貼り合わせにより搭載される複数のチップIPと、

上記各チップIPを互いに接続するバスを有するバス用チップIPとを備えている半導体デバイス。

【請求項29】 配線層を有する半導体配線基板に、各々少なくとも1つの機能を有する複数の評価用チップIPを貼り合わせにより搭載するステップ(a)と、上記各評価用チップIPの上記少なくとも1つの機能をシミュレーションにより評価するステップ(b)とを含む半導体デバイスの評価方法。

【請求項30】 請求項29記載の半導体デバイスの評価方法において、

上記ステップ(b)は、チップIPの機能を格納した内部ドキュメントを表示装置に表示して行なわれることを特徴とする半導体デバイスの評価方法。

30 【請求項31】 請求項29又は30記載の半導体デバイスの評価方法において、

上記ステップ(a)では、上記半導体配線基板の配線層を通常動作用配線層と該通常動作用配線層の上方の評価用配線層とに分けて形成しておき、

上記ステップ(b)の後に、上記半導体配線基板の評価用配線層を除去して、上記通常動作用配線層を残すステップをさらに含むことを特徴とする半導体デバイスの評価方法。

40 【請求項32】 配線層を有する半導体配線基板と、上記半導体配線基板上に貼り合わせにより搭載された複数のチップIPとを備えた半導体デバイスの評価方法であって、

上記複数のチップIP同士の相対応する端子の情報を交換することにより、接続テストを行なうことを特徴とする半導体デバイスの評価方法。

【請求項33】 配線層を有する半導体配線基板と、上記半導体配線基板上に貼り合わせにより搭載され、複数の機能を有するチップIPとを備えた半導体デバイスの機能設定方法であって、

50 上記複数の機能のうち一部の機能のみを活性化させるよ

5

うに設定することを特徴とする半導体デバイスの機能設定方法。

【請求項34】 請求項33記載の半導体デバイスの機能設定方法において、

上記配線層の配線関係を固定することにより、上記一部の機能のみを活性化させることを特徴とする半導体デバイスの機能設定方法。

【請求項35】 請求項34記載の半導体デバイスの機能設定方法において、

上記複数の機能に供給する論理入力を固定することにより、上記一部の機能のみを活性化させることを特徴とする半導体デバイスの機能設定方法。

【請求項36】 請求項33記載の半導体デバイスの機能設定方法において、

上記一部の機能のみを取り出すことが可能にすることにより、上記一部の機能のみを活性化させることを特徴とする半導体デバイスの機能設定方法。

【請求項37】 請求項33記載の半導体デバイスの機能設定方法であって、

ネットワークを介した遠隔操作により、上記一部の機能のみを活性化させることを特徴とする半導体デバイスの機能設定方法。

【請求項38】 請求項33記載の半導体デバイスの機能設定方法において、

上記一部の機能のみにクロック信号を入力させることにより、上記一部の機能のみを活性化させることを特徴とする半導体デバイスの機能設定方法。

【請求項39】 請求項33記載の半導体デバイスの機能設定方法において、

上記一部の機能のみに電源電圧を供給することにより、上記一部の機能のみを活性化させることを特徴とする半導体デバイスの機能設定方法。

【請求項40】 請求項33記載の半導体デバイスの機能設定方法において、

上記一部の機能のみに入力信号を供給することにより、上記一部の機能のみを活性化させることを特徴とする半導体デバイスの機能設定方法。

【請求項41】 配線層を有する半導体配線基板と、上記半導体配線基板上に貼り合わせにより搭載された複数のチップIPとを備えた半導体デバイスの機能設定方法であって、

上記複数のチップIPのうち一部のチップIPの機能情報に応じて他のチップIPの機能を変化させ又は設定することを特徴とする半導体デバイスの機能設定方法。

【請求項42】 配線層を有する半導体配線基板と、上記半導体配線基板上に貼り合わせにより搭載され、各々複数の機能を有する複数のチップIPと、上記各チップIPに設けられ、上記複数の機能に関する機能情報を記憶する機能情報記憶手段とを備えた半導体デバイスの機能設定方法であって、

6

上記複数のチップIPのうち一部のチップIPの機能情報に基づいて、他のチップIPの機能を変化させ又は設定することを特徴とする半導体デバイスの機能設定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、配線層が設けられた半導体配線基板上に各種チップIPを搭載してなる半導体デバイス、その評価方法及びその機能設定方法に関する。

【0002】

【従来の技術】 近年、複数のLSIを共通の基板上に形成したシステムLSIという概念が提起されており、システムLSIの設計手法としても各種の提案がなされている。特に、システムLSIの利点は、DRAMなどのメモリや、ロジックLSIや、高周波回路などのアナログ回路を1つの半導体装置内に収納して、多種、多機能の半導体装置を極めて高集積化して実現することができることである。

【0003】

【発明が解決しようとする課題】 ところで、上記従来のシステムLSIは、現実にはデバイスを形成する上で以下のような問題に直面している。

【0004】 第1の問題は、デバイスの製造コストの低減が困難であることである。これは、システムLSIの開発コストが多大になることと、製造歩留まりがそれほど高くないことに起因する。

【0005】 第2の問題は、配線遅延が非常に大きくなることである。一般に、シュリンク則に従うとデバイスの高さも低減することになるが、そうすると配線の断面積が小さくなるにつれてRC（Rは抵抗、Cは寄生容量）によって規定される配線遅延が増大する。つまり、配線遅延に関する限り、微細化による利益よりも不利益が増大することになる。これを解決する1つの手段として、配線中のバッファを設けることがあるが、バッファを設けるとデバイスの占有面積や消費電力が増大するという別の不利益を招く。

【0006】 第3の問題は、ノイズの低減が困難となる点である。電源電圧が低下すると電流が増大することになるが、その電流の増大に応じたノイズの増大を抑制するのが困難となる。シュリンク割合の3乗から6乗に比例してSN比が悪化することから、微細化によるノイズの増大が避けられないからである。つまり、電源インピーダンスを如何に抑制するかがポイントである。

【0007】 そこで、配線の断面積を大きく確保しつつ、多種、多機能のデバイスを内蔵した半導体デバイスを実現するための1つの手段として、配線層を有する半導体配線基板例えばシリコン配線基板上に、各種の素子を集積したチップIPを搭載することにより、少品種、多量生産に適した半導体デバイスを実現することが考え

7

られる。しかるに、従来のチップIP内のLSIはIPのハードウェア（ハードIP）として設計されており、このハードIPの機能は一意的にかつブラックボックスの状態で定まっているので、その構造自体、多様な用途に応用が可能で、かつ、品種の数を減らすという要請にはそぐわない。すなわち、従来のシステムLSIの構築手法をそのまま採用したのでは、少品種、多量生産に適した半導体デバイスの実現が困難となる。

【0008】本発明の目的は、共通の半導体配線基板の上に、IPとして設計資産となりうるチップIPを搭載しつづ、その機能の評価、選択、設定などに関する手段を講ずることにより、少品種、多量生産に適した半導体デバイス、その評価方法及びその機能設定方法の提供を図ることにある。

【0009】

【課題を解決するための手段】本発明の第1の半導体デバイスは、配線層を有する半導体配線基板と、上記半導体配線基板上に貼り合わせにより搭載され、各々少なくとも1つの機能を有する複数の評価用チップIPとを備えている。

【0010】これにより、半導体配線基板上に搭載された評価用チップIPの機能が所望の目的に適合するかを評価するためのカタログなどとして機能する半導体デバイスの提供を図ることができる。

【0011】上記半導体配線基板の配線層は、通常動作用配線層と、該通常動作用配線層の上方に設けられた評価用配線層とを有し、上記評価用チップIPは少なくとも上記評価用配線層に電気的に接続されていることにより、評価が終了した後に評価用配線層を除去すると、その半導体配線基板を利用して通常の動作に使用する半導体デバイスを迅速かつ安価に提供することが可能になる。

【0012】本発明の第2の半導体デバイスは、配線層を有する半導体配線基板と、上記半導体配線基板上に貼り合わせにより搭載され、各々複数の機能を有する複数のチップIPと、上記複数のチップIP全体における複数の機能のうち一部の機能のみを活性化する機能選択手段とを備えている。

【0013】これにより、半導体デバイス内のすべての機能を用いずに、半導体デバイスの用途に必要な機能のみを使用することが可能になるので、使用時における消費電力の低減や動作の高速化を確保することができる。一方、できるだけ多くの機能を設けておくことで、半導体デバイスの種類をできるだけ少なくすることができるので、少品種、大量生産に適合した半導体デバイスが得られることになる。

【0014】上記機能選択手段を、上記複数の機能に印加される論理信号や、上記複数の機能に接続され、論理入力を受けて、上記一部の機能のみを出力するセレクタや、上記一部の機能と上記半導体配線基板の配線層とを

8

互いに接続する接続手段とすることができる。

【0015】上記配線層が、電源電圧を供給するための電源配線と接地電圧を供給するためのグランド配線とを備え、上記半導体配線層の電源配線及びグランド配線のいずれか一方と、上記セレクタとを互いに接続する接続手段をさらに備えている場合には、上記論理入力は上記電源電圧又は接地電圧である。

【0016】上記半導体配線基板の上に設けられ、上記複数のチップIPの上記複数の機能とは上記配線層を介して接続されて、上記一部の機能のみを選択するように制御する制御回路を有するチップIPをさらに備えることにより、フレキシブルな機能の選択が可能になる。

【0017】上記複数のチップIPの上記複数の機能に接続されて、上記複数の機能のうち活性にする機能と不活性にする機能とを記憶するための記憶手段と、上記記憶手段に上記一部の機能のみを活性にするように記憶させる設定手段とをさらに備えることにより、制御信号によって簡易にデバイスの機能を設定することができる。

【0018】上記設定手段が、ネットワークを介して上記記憶手段に接続されていることにより、ユーザに半導体デバイス自体を渡さなくてもユーザが迅速にデバイスの評価を行うことができるので、納期の短縮や輸送コストの低減を図ることが可能になる。

【0019】本発明の第3の半導体デバイスは、配線層を有する半導体配線基板と、上記半導体配線基板上に貼り合わせにより搭載され、複数の機能を有するチップIPと、上記チップIPに設けられ、上記複数の機能に関する機能情報を記憶する機能情報記憶手段とを備えている。

【0020】これにより、従来ブラックボックスであったIPとして設計されているチップIP内の機能が外部から容易に認識できるので、共通の半導体デバイスによって多様なユーザの要求に対応することが可能となる。

【0021】上記機能情報記憶手段は、上記各機能にID番号を付して上記機能情報を記憶していることが好ましい。

【0022】また、上記複数の機能に関する機能情報は、表示手段上に表示できるように規格化されていることが好ましい。

【0023】上記チップIPの上記機能情報を受けて、自己の機能を決定するように構成された別のチップIPをさらに備えていることにより、自動的に機能の選択を行なうことができる。

【0024】上記チップIPは、キー信号を受けたときに上記機能情報記憶手段に記憶されている上記機能情報を出力するように構成されていることにより、特定のユーザなどによりのみチップIPの機能を知らせることが可能になる。

【0025】上記機能情報記憶手段から出力された上記機能情報を暗号化する暗号化手段をさらに備えることに

より、チップIPの機能の機密性を確保することが可能になる。

【0026】キー信号を受けたときには、上記暗号化された機能情報を復号化して出力する復号化手段をさらに備えることが好ましい。

【0027】本発明の第4の半導体デバイスは、配線層を有する半導体配線基板と、上記半導体配線基板上に貼り合わせにより搭載され、複数の機能を有する複数のチップIPと、上記各チップIPに設けられ、上記複数の機能に関する情報を記憶する機能情報記憶手段とを備え、記複数のチップIPは、互いに他のチップIPの機能情報記憶手段にアクセスして、機能情報を読み出すことが可能に構成されている。

【0028】これにより、各チップIP内の機能情報記憶手段を介して各チップIPの機能に容易かつ迅速に知ることができる。そして、この機能情報に基づいて機能の選択や切り替えが可能になり、大量少品種生産に適する半導体デバイスの提供を図ることができる。

【0029】上記複数のチップIPに、それぞれキー信号を送受信するキー信号送受信部を設け、自己のキー信号送受信部に上記キー信号を受けたときに上記機能情報記憶手段に記憶されている上記機能情報を出力するように構成することにより、チップIP相互間で通信を利用して、機能の選択や切り替えを行なうことが可能になる。

【0030】上記複数のチップIPが、上記機能情報記憶手段の機能情報を互いに認識が可能な符号に符号化してから機能情報の送受信を行なうように構成されていることにより、部外者がチップIPの機能を見るのを阻止することができる。

【0031】上記各機能情報記憶手段は、上記各機能にID番号を付して上記機能情報を記憶しており、上記ID番号に基づいて上記機能情報を認識するための機能認識手段をさらに備えていることにより、機能の認識、設定、切り換えを迅速に行なうことができる。

【0032】上記機能認識手段は、上記各チップIPとは別のチップIP内に設けられていることにより、他のチップIPの構造を変更しなくてもよいので、カスタマイズ化を図ることができる。

【0033】上記機能認識手段は、メモリの記憶内容として設けられていることにより、チップIPを取り換えても機能を容易に変更することができる。

【0034】上記機能認識手段は、上記各チップIP内に上記機能情報記憶手段と一体化されて設けられていてもよい。

【0035】上記各機能情報記憶手段は、半導体デバイスで用いられるmビットのアドレスの下位のnビット( $n < m$ )を記憶する第1の記憶部と、mビットのアドレスの( $n+1$ )以上の上位ビットを上記ID番号として記憶する第2の記憶部とを有しており、mビットの入

力アドレスの( $n+1$ )以上の上位ビットと上記第2の記憶部のID番号とが一致するかどうかを判定する手段をさらに備えていることにより、ID番号を手がかりとした機能の認識、設定、切り換えなどを容易に行なうことができる。

【0036】上記複数のチップIPは、互いに他のチップIP内の機能情報記憶手段の機能情報に基づいて自己の機能を変化させ又は設定することが可能に構成されていることにより、各チップIPの機能を自動的に最適なものに修正していくことが可能になる。

【0037】上記各チップIP内の記憶情報記憶手段の記憶情報を受けて、上記各チップIPの機能を変化させ又は設定する制御回路をさらに備えることにより、各チップIP相互の通信の円滑化を図ることができる。

【0038】本発明の第5の半導体デバイスは、配線層を有する半導体配線基板と、上記半導体配線基板上に貼り合わせにより搭載される複数のチップIPと、上記各チップIPを互いに接続するバスを有するバス用チップIPとを備えている。

【0039】これにより、バスに接続されるIPの数による駆動能力の無駄やIPの数の制約などの不具合を解消して、できるだけ共通の構成で多様な要求に応えることが可能になる。

【0040】本発明の第1の半導体デバイスの評価方法は、配線層を有する半導体配線基板に、各々少なくとも1つの機能を有する複数の評価用チップIPを貼り合わせにより搭載するステップ(a)と、上記各評価用チップIPの上記少なくとも1つの機能をシミュレーションにより評価するステップ(b)とを含んでいる。

【0041】この方法により、チップIPの評価結果を利用した半導体デバイスの機能の切り換え、機能選択、機能設定などが可能になる。

【0042】上記ステップ(b)は、チップIPの機能を格納した内部ドキュメントを表示装置に表示して行なわれることが好ましい。

【0043】上記ステップ(a)では、上記半導体配線基板の配線層を通常動作配線層と該通常動作配線層の上方の評価用配線層とに分けて形成しておき、上記ステップ(b)の後に、上記半導体配線基板の評価用配線層を除去して、上記通常動作配線層を残すステップをさらに含むことにより、半導体デバイスの納期の短縮とコストの低減とを図ることができる。

【0044】本発明の第2の半導体デバイスの評価方法は、配線層を有する半導体配線基板と、上記半導体配線基板上に貼り合わせにより搭載された複数のチップIPとを備えた半導体デバイスの評価方法であって、上記複数のチップIP同士の相対応する端子の情報を交換することにより、接続テストを行なう方法である。

【0045】この方法により、各チップIP同士の間の接続の信頼性の高い半導体デバイスが得られる。



11

【0046】本発明の第1の半導体デバイスの機能設定方法は、配線層を有する半導体配線基板と、上記半導体配線基板上に貼り合わせにより搭載され、複数の機能を有するチップIPとを備えた半導体デバイスの機能設定方法であって、上記複数の機能のうち一部の機能のみを活性化させるように設定する方法である。

【0047】この方法により、半導体デバイス内のすべての機能を用いずに、半導体デバイスの用途に必要な機能のみを使用することが可能になるので、使用時における消費電力の低減や動作の高速化を確保することができる。一方、できるだけ多くの機能を設けておくことで、半導体デバイスの種類をできるだけ少なくすることができるので、少品種、大量生産に適合した半導体デバイスが得られることになる。

【0048】この場合、一部の機能のみを活性化させる具体的な方法としては、上記配線層の配線関係を固定する方法、上記複数の機能に供給する論理入力を固定する方法、上記一部の機能のみを取り出すことが可能にする方法、ネットワークを介した遠隔操作により、上記一部の機能のみを活性化させる方法、上記一部の機能のみにクロック信号を入力させる方法、上記一部の機能のみに電源電圧を供給する方法、上記一部の機能のみに入力信号を供給する方法などがある。

【0049】本発明の第2の半導体デバイスの機能設定方法は、配線層を有する半導体配線基板と、上記半導体配線基板上に貼り合わせにより搭載された複数のチップIPとを備えた半導体デバイスの機能設定方法であって、上記複数のチップIPのうち一部のチップIPの機能情報に応じて他のチップIPの機能を変化させ又は設定する方法である。

【0050】この方法により、特に上段側のチップIPの信号を受ける下段側のチップIPの機能を上段側のチップIPの機能に適合させることなどが、容易に行なわれる。

【0051】本発明の第3の半導体デバイスの機能設定方法は、配線層を有する半導体配線基板と、上記半導体配線基板上に貼り合わせにより搭載され、各々複数の機能を有する複数のチップIPと、上記各チップIPに設けられ、上記複数の機能に関する機能情報を記憶する機能情報記憶手段とを備えた半導体デバイスの機能設定方法であって、上記複数のチップIPのうち一部のチップIPの機能情報に基づいて、他のチップIPの機能を変化させ又は設定する方法である。

【0052】この方法により、半導体デバイス内の情報だけでも半導体デバイス内の機能を最適化することが可能になる。

【0053】

【発明の実施の形態】一本発明の前提となる基本的な構造—

そこで、本発明では、配線の断面積を大きく確保しつ

12

つ、多種、多機能のデバイスを内蔵した半導体装置を実現するための1つの手段として、配線層を有する半導体配線基板例えばシリコン配線基板(Super-Sub)上に、各種デバイスを内蔵したチップIPを搭載する構成を採る。そして、各チップIP内に設けられる回路(IC)は半導体装置の設計上IP(Intellectual Property)として扱うことができ、各種IPを半導体配線基板上に貼り合わせたものと考えることができる。つまり、半導体デバイス全体は、“IP On Super-Sub”であるので、本明細書の実施形態においては、シリコン配線基板とIP群とを備えた半導体デバイス全体を“IPOSデバイス”と記載する。

【0054】図1(a), (b), (c)は、IP(チップIP)群を搭載するための配線基板となるシリコン配線基板の平面図、シリコン配線基板上に搭載されるIP群の例を示す平面図、及びシリコン配線基板の断面図である。図1(a), (b)に示すように、シリコン配線基板10上には各種IPを搭載するための複数の領域が設けられており、各領域には、例えば、DC/AC-IP, Analog-IP, Logic-IP, CPU-IP, DSP-IP, Flashメモリー-IP, SRAM-IP, DRAM-IP, I/O-IPなどの各種IP群がチップIPとして搭載可能となっている。図1(c)に示すように、シリコン配線基板10は、シリコン基板11と、シリコン基板10上に絶縁膜(図示せず)を挟んで設けられたグランドプレーン12と、グランドプレーン12の上に層間絶縁膜を挟んで設けられた第1配線層13と、第1配線層13の上に層間絶縁膜を挟んで設けられた第2配線層14と、第2配線層14の上にパッシベーション膜を挟んで設けられたパッド15とを備えている。パッド15、各配線層13、14及びグランドプレーン12間は、それぞれコンタクト(図示せず)を介して所望の部位で互いに接続されている。そして、各IPは、パッド15上に貼り付けられて、各IPが配線層13、14により互いにあるいはグランドプレーン12に電気的に接続される構造となっている。

【0055】シリコン配線基板10内の配線層13、14の寸法の制約は緩やかであり、数 $\mu$ m幅の配線をも設けることができるので、以下のような効果がある。経験的に、今までの半導体集積回路装置の微細化が進展した過程において、もっとも配線としての特性が良好であった世代の寸法を有する配線を設けることが可能となる。また、配線の電気インピーダンスを低減することができる。

【0056】そして、シリコン配線基板上のチップIPは多くの機能を有しているが、これに対しては2つの考え方があり、1つは、できるだけ多くの機能を使用するという考え方であり、もう1つは、使用する機能を制限するという考え方である。つまり、ユーザの多様な要求に応えるためには、多種の使用方法に対応できる構成を

10

20

30

40

50

13

有していることが好ましいが、反面、実際の使用に際してはいずれかの機能に限定する必要がある。つまり、この2つの相反する要求を満足させることにより、ユーザの多様な要求に応えつつ、大量少品種に適したIPOSデバイスを構築することができるのである。そこで、多種の機能を予め有しているIPOSデバイス内の機能を選択、制限、設定するための手段が必要となる。つまり、シリコン配線基板上のチップIPの機能の評価方法、機能の選択方法、チップ上でのコンフィギュレーションなどである。本発明では、このような諸手段に関する各実施形態について説明する。

【0057】（第1の実施形態）本実施形態においては、IPOSデバイス上の機能を評価して選択的に使用するための対策に関する実施形態について説明する。

【0058】図2は、第1の実施形態におけるIPOSデバイス内に配置される多機能IP（チップIP）の構造を概略的に示すブロック図である。この多機能IPには、例えば、機能A、機能B、機能C、機能Dという4つの機能が組み込まれている。一般に、IPOSデバイス内の各IP（チップIP）には、それぞれ多くの機能が組み込まれているが、それらの機能を評価するための評価用IPを評価用カタログとして、あるいは実チップとしても利用しうるものとして供給することができる。以下、IP内の機能を評価するための手段に関する具体例について説明する。

#### 【0059】－第1の具体例－

図3は、第1の実施形態の第1の具体例における評価用IPOSデバイスの構成を概略的に示すブロック図である。図3に示すように、評価用IPOSデバイス21には、ユーザロジック22や、評価用IP23、24が搭載されている。このIPOSデバイス21は、最終製品を形成する前にIPOSデバイス21内のIPの評価やデバッグを行なうものであって、IPOSデバイスというシステムの評価を行うものである。評価用IPOSデバイス21自体が最終製品になってもよいが、一般的には、最終製品になるものではない。そして、評価用IPOSデバイス21は、評価時には、IPの機能を選択、変更、設定するなどの動作を行なう必要がある。そして、評価用IPOSデバイス21により、IPOSデバイス内の多くの中間ノードの状態を調べることが可能に構成されている。つまり、製品化したときにはわからないような内部の情報が読めるようになっている。そして、ソフトウェアデバッグが終了すると、評価用IPOSデバイス21内の余分な機能がはずされて、より単純化された構成により出荷されるのが一般的である。

【0060】図4は、本具体例に係る評価用IPOSデバイスの断面図である。同図に示すように、シリコン配線基板25には、通常動作のために用いられる通常動作用配線層26と、通常動作用配線層26の上に設けられ、評価時のみ用いられる評価用配線層27とがある。

14

そして、評価用IP23、24は、コンタクトを介して評価用配線層27及び通常動作用配線層26とに接続されている。評価用配線層27は、一般には評価のときのみ用いられるもので、評価が終了して製品化するときには評価用配線層27のみを剥がすことができるように、通常動作用配線層26の上方に設けられている。一般には、通常動作用配線層26も、評価用配線層27も複数層設けられている。このように、評価用配線層27を通常動作用配線層26の上方に設け、通常動作用配線層26は残した状態で評価用配線層27のみを剥がせるように構成しておく。つまり、同じデザインであるがデバッグ中は内部の信号が読めるように評価用配線層27を設けておき、この評価用配線層27を剥がすだけで実チップを構成することができる。したがって、製造コストの低減と納期の短縮とを図ることができる。

#### 【0061】－第2の具体例－

図5は、本実施形態の第2の具体例における汎用の評価用IPOSデバイスの評価方法を説明するためのブロック図である。同図に示すように、この場合には、評価用IPOSデバイス30上にユーザロジックは搭載されていないので、ユーザボード31（実ボード）を利用して評価用IPOSデバイス30内の諸機能を評価することになる。そして、この汎用の評価用IPOSデバイス30においては、シリコン配線基板には通常動作用配線層は設けられておらず、評価用配線層のみが設けられている。本具体例のIPOSデバイスは、特にカタログとしてユーザに提供するものに適している。

#### 【0062】－第3の具体例－

図6は、第3の具体例における汎用の評価用IPOSデバイスの評価方法を説明するためのブロック図である。同図に示すように、この場合にも、評価用IPOSデバイス30上にユーザロジックは搭載されていない。そして、本具体例では、第2の具体例における実ボードの代わりに、ソフトウェア用のエミュレータ32（又はシミュレータ）を利用して評価用IPOSデバイス30内の諸機能を評価することになる。本具体例においても、汎用の評価用IPOSデバイス30においては、シリコン配線基板には通常動作用配線層は設けられておらず、評価用配線層のみが設けられている。

#### 【0063】－第4の具体例－

図7は、第4の具体例における汎用の評価用IPOSデバイスの遠隔操作による評価システムを概略的に示すブロック図である。同図に示すように、本具体例のシステムにおいては、IPOSデバイスの評価システム33、34と、ネットワークにより評価システム33、34に接続されている機能シミュレータ35とを備えている。IPOSデバイス評価システム33は、IP-A、IP-B、IP-C、IP-Dを搭載したIPOSデバイス30aと、IPOSデバイス30a内の各IPの端子に制御信号を送り、かつ、各IPの端子から各IPの観測

15

信号を受けるように構成された制御システム 36 とを備えている。IPOS デバイス評価システム 34 は、IPE、IPF、IPG、IPH を搭載した IPOS デバイス 30b と、IPOS デバイス 30b 内の各 IP の端子に制御信号を送り、かつ、各 IP の端子から各 IP の観測信号を受けるように構成された制御システム 37 とを備えている。この評価システム 33、34 への制御信号又は評価システム 33、34 からの観測信号は、ネットワークを介して、機能シミュレータ 35 との間で送受信される。

【0064】機能シミュレータ 35 はライブラリ 39 を備えている。そして、機能シミュレータ 35 は、機能記述言語や機能回路図で作成された設計データとテストベクタとを入力して、IPOS デバイス 30a、30b の各 IP を利用してシステムの構築シミュレーションを行なう。そのとき、ライブラリ 39 には、IPOS デバイス上の IP の機能 ID 情報あるいは IPOS デバイスの設計データを図的に作成するための機能形状シンボルや端子構成を含む情報が格納されており、これらの情報を任意に選択して設計データを構成することができる。

【0065】評価システム 33、34 は、IPOS デバイス 30a、30b 内の IP の種別とアドレス情報（IPOS デバイスの IP 及びその端子の位置情報）とをネットワークを経由して機能シミュレータ 35 に伝送する。ここで、アドレス情報は、IP のデータベースとして予めライブラリ 39 内に収納されていてもよいし、評価システム 33、34 との通信時に取得してもよい。

【0066】機能シミュレータ 35 は、設計データで利用している IP に対応する IP のアドレス情報から IP の入力ベクタをネットワークを介して評価システム 33、34 に伝送し、評価システム 33、34 からの観測信号をネットワークを経由して取得し、機能シミュレーション結果として使用する。

【0067】本具体例により、実際の IPOS デバイス上の IP の動作を用いて正確なシステム検証が可能である、評価システム 33、34 内の動作は実時間で検証することが可能である、実際の IPOS デバイス上の IP が検証する場所になくとも機能検証を行なうことができる、機能シミュレーションを柔軟にかつ詳細に行なうことができる、などの効果を発揮することができる。すなわち、従来は、シミュレーションモデルを別に作成して、これをユーザに供給し、このモデルを用いてユーザが検証していた。実チップがあれば、その方がシミュレーションを迅速に行なうことができる。しかし、実チップを送るには手間と時間を要する。それに対し、本具体例では、実チップをユーザに送ることなく、ユーザが遠隔操作によって実チップ上でシミュレーションを迅速に行なうことができるのである。

【0068】なお、機能シミュレーションは、シミュレータの代わりにソフトウェアのエミュレータ、デバッガ

16

ーなどを用いて行なってもよい。

【0069】（第 2 の実施形態）次に、機能の選択、設定、制限などに関する具体的な方法に関する第 2 の実施形態について説明する。例えば、IPOS デバイスのバスプロトコルを作成した場合に、IPOS デバイス全体又は個別の IP によってバスの種類が異なる場合が生じる。また、使用するクロックが複数種類存在する場合もある。そのように場合に、内容的には同じ機能であるが、バスやクロックの種類などが相異なる複数の機能 A、B を予め IP 内に設けておき、ユーザの選択によって機能 A、B のいずれかを使用できるようにしておけば、容易にバスのプロトコルに適合させて所望の機能を半導体装置内に組み込むことができる。すなわち、ユーザの多様な要求に応えつつ、大量少品種に適した IPOS デバイスの構造となる。

【0070】なお、以下の第 1～第 4 の具体例においては、説明をわかりやすくするために、2 種類の機能 A、B のうちからいずれか 1 つを選択する場合のみについて説明するが、各具体例は、3 つ以上の機能がある場合にそれらのうちの 1 つを選択する場合にも適用することができる。

【0071】－第 1 の具体例－

図 8 (a)、(b) は、それぞれ順に、本実施形態の第 1 の具体例における IP の平面図及び IPOS デバイスの部分断面図である。本具体例は、シリコン配線基板をユーザが作成することを想定している。図 8 (a) に示すように、IP 40 内には、内容的には同じでバスの種類などが相異なる機能 A と機能 B とがあるものとする。そして、本具体例においては、IP 40 内の機能 A、B をシリコン配線基板 43 内の配線の論理によって設定するように構成する。例えば、図 9 (b) に示すように、機能 A は電源電圧（論理 H）を供給する電源配線 41（電源ライン）に、機能 B は接地電圧（論理 L）を供給するグランド配線 42（グランドライン）に予め接続されている。つまり、本実施形態では、機能に与える論理の種類によって使用する機能を選択する。これにより、ユーザがいずれかの論理 H 又は L の信号を供給することにより、いずれの機能 A 又は B を用いるかを容易に設定することができる。本具体例では、ユーザが機能 A、B を共に使用してもよい。

【0072】－第 2 の具体例－

図 9 (a)、(b) は、それぞれ順に、本実施形態の第 2 の具体例における IP の平面図及び IPOS デバイスの部分断面図である。本具体例は、シリコン配線基板をユーザが作成することを想定している。図 9 (a) に示すように、本具体例においても、IP 45 内には内容的には同じでバスの種類などが相異なる機能 A と機能 B とがあるものとする。そして、IP 45 内には機能 A と機能 B とを選択して出力端子 Op に出力するためのセレクタ 46 が設けられている。図 9 (b) に示すように、本

17

具体例においては、シリコン配線基板47において、セクタ46に接続されるコンタクト50を電源ライン48又はグラウンドライン49のいずれかの上に設ける。つまり、コンタクト50によってIP内の使用する機能を選択するように構成する。

#### 【0073】－第3の具体例－

図10(a), (b)は、それぞれ順に、本実施形態の第3の具体例におけるIPの平面図及びIPOSデバイスの部分断面図である。本具体例は、シリコン配線基板をユーザが作成することを想定している。図10(a)に示すように、本具体例においても、IP51内には内容的には同じでバスの種類などが異なる機能Aと機能Bとがあるものとする。そして、IP51内には、機能Aと機能Bとを選択して出力端子Opに出力するためのセクタとして機能する回路Cが設けられている。図10(b)に示すように、本具体例においては、シリコン配線基板52における配線の構造によって、機能A, Bのいずれかを回路Cに切り換え接続する。つまり、配線そのものによってIP内の使用する機能を選択するように構成する。

#### 【0074】－第4の具体例－

図11(a), (b)は、それぞれ順に、本実施形態の第4の具体例におけるIPの平面図及びIPOSデバイスの部分断面図である。本具体例は、シリコン配線基板をユーザだけでなくプロバイダが作成することをも想定している。図11(a)に示すように、本具体例においても、IP55内には内容的には同じでバスの種類などが異なる機能Aと機能Bとがあるものとする。そして、IPOSデバイス内には、IP55とは別に、IP55内の機能Aと機能Bとを選択するためのセクタ57を有する機能選択用IP56が設けられている。図11(b)に示すように、本具体例においては、シリコン配線基板における配線はIP55内の機能A, BとIP56内のセクタ57とを接続するだけで、機能の選択はIP56内におけるセクタ57と電源ライン58, グラウンドライン59との接続関係によって決定される。つまり、IP56内において、電源ライン58, グラウンドライン59のいずれをセクタ57に接続するかによって、機能A, BのいずれかがIP57から出力されるかが選択される。つまり、機能選択用IPを別途設けることによって、IPOSデバイス上のIP内の使用する機能を選択するように構成する。

#### 【0075】－第5の具体例

図12(a), (b)は、本実施形態の第5の具体例における機能の設定に関するIPOSデバイスの構成を示す斜視図及びブロック回路図である。本具体例は、シリコン配線基板をユーザだけでなくプロバイダが作成することをも想定している。図12(a)に示すように、シリコン配線基板60の上には、例えば3つのIP-A, IP-B, IP-Cが搭載されており、各IPは各々複

18

数の機能を有している。そして、本具体例では、各IPの多くの機能のうち有効となる機能を設定するためのKeyIP61が設けられている。すなわち、図12

(b)に示すように、IP-A, IP-B, IP-B内の各機能とKeyIP61とはシリコン配線基板(図示せず)内の配線によって互いに接続されているが、どの配線が有効に接続されるかをKeyIP61内の回路によって設定するのである。図12(b)において×が付された配線は、使用されない配線である。本具体例においては、多数のIP内のどの機能が有効かをシリコン配線基板の構造ではなく、KeyIP61を変更するだけで有効な機能を一意的に定めることができる。つまり、KeyIPの変更あるいはKeyIP内のソフトウェアの変更により機能の選択が可能になるので、よりフレキシブルな機能の選択が可能である。

#### 【0076】－第6の具体例－

図13(a), (b)は、本実施形態の第6の具体例及びその変形例における機能選択方法を示す図である。本具体例は、原則としてシリコン配線基板をプロバイダが作成することをも想定している。図13(a)に示すように、本具体例のIPOSデバイス65においても、IP内には内容的には同じでバスの種類などが異なる機能Aと機能Bとがあるものとする。そして、IP内には、機能Aと機能Bとの選択を設定するためのレジスタ67が設けられている。また、図13(b)に示すように、IPOSデバイス65内において、IPとは別のIPである設定用レジスタ69を設けてもよい。本具体例又はその変形例においては、ユーザ側のエミュレータ68(又はシミュレータ)からライセンスコードをIPOSデバイス65に送信し、遠隔操作によって、機能A, Bのいずれかを使用するかを設定する。このライセンスコードは、ライセンス契約などによって設定されるものである。

【0077】本具体例により、ユーザに半導体デバイス自体を渡さなくてもユーザが迅速にデバイスの評価を行うことができるので、納期の短縮や輸送コストの低減を図ることが可能になる。

【0078】(第3の実施形態)次に、IPOSデバイス内に配置されるIPの内部機能を外部から調べることを可能にするための構造及び方法に関する第3の実施形態について説明する。

【0079】図14は、本実施形態におけるIPOSデバイスに配置されるIPの基本的な構成を示すブロック図である。同図に示すように、IP70内には機能A, 機能B, 機能C, 機能Dなどの諸機能があるが、IP70内にはこれらの諸機能に関する情報が登録された機能情報記憶部71(メモリ)が設けられている。ここで、諸機能に関する具体的な情報の内容としては、識別コードや製造履歴、機能の種別、仕様、ドキュメントなどがある。ここで、仕様としては、例えば各種の設定が可能

19

な場合にその設定を行なうための設定パラメータと採りうる値域や、性能情報として電源電圧(V)と動作速度(MHz)との相関関係などがある。

【0080】つまり、このような内部の機能の情報を有する機能情報記録部71をIP70内に設けることにより、従来ブラックボックスであった各IP内の機能が外部から容易に認識できるので、共通のIPOSデバイスによって多様なユーザの要求に対応する機能をIPOSデバイス内に設けることが可能となる。すなわち、多様な要求に応えつつ、大量少品種に適したIPOSデバイスの構造となる。以下、本実施形態の各具体例について説明する。

#### 【0081】—第1の具体例—

図15は、本実施形態の第1の具体例におけるIPOSデバイスの構成を概略的に示すブロック図である。本具体例においては、IPOSデバイス72内に、機能情報記憶部71を有するIP70を貼り付けた後に、外部機器からIP70内の機能情報記憶部71をアクセスして、IP70の機能に関する情報をIPOSデバイス72の出力端子Opから読み出す。そして、読みだした機能に関する情報を検査用にもよいし、外部機器中のソフトウェアによってIP70内の機能を切り換えるためにも利用することができる。また、出力端子Opを表示装置73に接続しておけば、IP70の内部ドキュメントを表示装置73上にブラウズすることもできる。その場合、IP70内の機能情報記憶部71には、外部機器が読み出すことができるフォーマットで情報が格納されていることが必要である。例えば、Webブラウザーを使用する場合には、機能情報記憶部72にHTMLによって機能情報を格納しておけばよい。

【0082】特に、IPOSデバイスにおいては、大量少品種生産に適応するためには、機能の選択や切り替えが必要であるので、従来ではほとんど必要性のなかった機能情報の読み出しのための手段を設けることが有効となる。

#### 【0083】—第2の具体例—

図16は、本実施形態の第2の具体例におけるIPOSデバイス及び1つのIPの構成を概略的に示すブロック図である。本具体例においては、図17(a)に示すように、IPOSデバイス72には、機能A、機能B、機能C、機能D及び機能情報記憶部71を有するIP70と、IP70のデータを読み出して自分自身を自動構成するIP75とが設けられている。つまり、IP75は、IP70をアクセスして、IP70内のデータを読み出し、そのデータに応じて自分自身の内部の各部の値を決定するのである。

【0084】本具体例が適用されるのは、例えば、IP70がCCDであり、IP75がCCDを駆動するためのドライバーである場合である。ここで、IP70が画素数100×200のCCDであり、IP75が汎用ド

20

ライバーで画素数が例えば100×200でも500×500でも対応できる容量を持っているとする。その場合、ドライバーであるIP75の端子のうち100×200の画素に対応する分だけを有効(アクティブ)にして、それ以外は無効にすることにより、IP75を自動構成することができる。このような構造により、例えばデジタルカメラの高性能品と低価格品とを同じIPOSデバイスを用いて構成することが可能になり、少品種、多量生産でありながら、多様な要求に対応することができる。

#### 【0085】—第3の具体例—

図17は、本実施形態の第3の具体例におけるIPOSデバイスの構成を概略的に示すブロック図である。本具体例においては、図17(a)に示すように、IPOSデバイス72には、機能A、機能B、機能C、機能D及び機能情報記憶部71を有するIP70と、機能E、機能F、機能G、機能H及び機能情報記憶部77を有するIP76とが設けられている。そして、IP70、IP76は、互いに相手のIPの機能情報記憶部71、76にアクセスしてその内部データを読み出すことが可能に構成されている。本具体例では、各IP70、76が互いに相手のデータを利用して自分自身を自動構成したり、自動的に最適化することが可能になる。

【0086】ここで、IP70、76が相互に相手を認証する場合には、予め設定されているキー信号が相互に一致したことなどを利用して、データの読み出しを行なうように構成することができる。このように構成することにより、機能的な使用方法の他、偽物のIPによって自身の値を設定するなどの不具合を回避することができる。

【0087】また、IP70、76が双方のキー信号に基づいて、自分自身のデータを符号化することが好ましい。このとき、IP70、76が符号化されたデータをその内部で復号化して利用してもよいし、復号化せずにそのまま符号化されたデータを利用するように構成することもできる。これにより、上述のような偽物IPとのデータ交換の排除だけでなく、IP70、76内のデータを秘密にしたままで、つまり、外部からIP70、76内の機能が明らかになるのを防止しつつ、相互に自分自身の自動構成を行なうことができる。

【0088】また、各IP70、76間で接続されている対応端子の情報を交換することで、各端子間の接続状態の良否判定などをIP同士で行なうこともできる。

#### 【0089】—第4の具体例—

図18は、本実施形態の第4の具体例におけるIPOSデバイスの構成を概略的に示すブロック図である。本具体例においては、IPOSデバイス72内に、機能A、機能B、機能C、機能Dなどに関する情報を記憶している機能情報記憶部71を有するIP70と、機能E、機能F、機能G、機能Hなどに関する情報を記憶している

21

機能情報記憶部77を有するIP76と、IPOSデバイス全体の制御を行なうシステム制御部78とが設けられている。そして、各IP70, IP76は、機能情報記憶部71, 77からシステム制御部78に機能情報を送り、この機能情報に応じてシステム制御部78が各IPの設定を変更又は設定を行なうように構成されている。これにより、各チップIP相互の通信の円滑化を図ることができる。

【0090】図19は、第4の具体例の変形例におけるIPOSデバイスの構成を概略的に示すブロック図である。この変形例においては、システム制御部78は、IPOSデバイス72内ではなくIPOSデバイス72の外に配置されている。この場合も、第4の具体例と同じ効果を発揮することができる。

【0091】(第4の実施形態)従来のシステムLSIにおいては、基板上の配線としてバスを実装しており、このバスによって各IP同士を接続する構造となっている。ところが、バスに接続されるIPの数によって各々のIPの駆動能力に過不足が生じ、駆動能力の無駄が生じたり、実装するIPの数が制約されるなどの不具合を生じていた。また、バスの遅延がIPの個数や配置に依存しているために、大規模なLSIを設計する際の障害となっていた。このような構造をそのままIPOSデバイスの構造に応用したのでは、できるだけ共通の構成で多様な要求に応えることができず、IPOSデバイスの利点が生かされない。

【0092】そこで、本実施形態においては、IPOSデバイスの特徴を十分に発揮するためのIPOSデバイス上のバスの統合方法について説明する。

【0093】図20は、本実施形態のIPOSデバイスのもっとも基本的な構成を概略的に示すブロック図である。同図に示すように、IPOSデバイス100内には、例えば3つのIP-A, IP-B, IP-Cと、IP-A, IP-B, IP-Cを並列的に接続するバスIP101とが設けられている。このバスIP101は、複数のIP-A, IP-B, IP-Cへの接続端子と、互いに接続対象となる他のIPとの間の接続関係を切り換え制御する機能を有している。本実施形態によると、各IP-A, IP-B, IP-Cは、バスIP101との接続に要する駆動能力を有していればよい。つまり、互いに他のIPの影響を受けることなくバスIPにより規定される性能を確保することが容易である。したがって、バスに接続されるIPの数による駆動能力の無駄やIPの数の制約などの不具合を解消して、できるだけ共通の構成で多様な要求に応えることが可能になる。

【0094】-具体例-

図21は、1ホスト対多周辺回路の構成を有するバス統合システムに係る本実施形態の具体例を示すブロック図である。同図に示すように、IPOSデバイス100には、例えば3つのIP-A, IP-B, IP-Cと、I

22

P-A, IP-B, IP-Cを並列的に接続するUSBハブ機能を有するバスIP102と、USBホスト機能を有するホストIP103とが設けられている。また、各IP-A, IP-B, IP-C内には、それぞれUSBデバイス機能104, 105, 106が設けられている。

【0095】すなわち、IPOSデバイス100上で1つのIPがホストIPとしてバスの制御を行なうシステムの場合には、パソコンシステムにおいて一般的に用いられているUSB(Universal Serial Bus)のプロトコルを採用して、USBハブ機能を有するバスIP102と、USBホスト機能を有するホストIP103とを備え、各IP-A, IP-B, IP-C内に、それぞれUSBデバイス機能104, 105, 106を設けることにより、バスに接続されるIPの認識のための設定を行なう必要はなく、ドライブ能力を調整する必要もなくなる。つまり、USBプロトコルによると、バスに接続される周辺機器や周辺機能の変更されても再設定することなく当該周辺機器や周辺機能を認識することが可能になる。そこで、USBハブ機能を有するバスIP102を用いることにより、バスIP102に接続されるIPの数やある特定のIP内の機能選択などによって外部条件が変わっても、外部条件の再設定など特別の処理を行なわなくても、容易に周辺機能を認識してバスの制御を行なうことが可能になる。

【0096】また、USBプロトコルを採用する場合、電源ラインもバス内に実装されるが、IPOSデバイスにおいては、各IPに電源が供給されるので、電源ラインをバス内に実装する必要はない。

【0097】(第5の実施形態)図22は、第5の実施形態に係るIPOSデバイスの構成を概略的に示すブロック図である。同図に示すように、IPOSデバイス110内には、機密性を有するデータを保持している機密IP-X, 機密IP-Yと、この機密IP-X, 機密IP-YのインターフェースIPとなる暗号化IP111とが配置されている。すなわち、機密IP-X, 機密IP-Yと外部機器との信号を授受する際には、暗号化IP111によって機密性を要するデータを暗号化、復号化して送受信を行なうように構成されている。

【0098】図23は、暗号化IPと機密IP-Xとの間の信号処理方法の一例を示すブロック図である。同図に示すように、暗号化IP111には、汎用的なキー信号を送受信するためのキー送受信部112と、データを暗号化するためのエンコーダ113と、データを復号化するためのデコーダ114とが設けられている。機密IP-Xは、暗号化IP111内のキー送受信部112と共通のキー信号を送受信するためのキー送受信部115と、デコーダ116と、エンコーダ117と、機密データ記憶部118とが設けられている。すなわち、機密データを外部機器に送信する際には、IP-Xのキー送

23

信部115から暗号化IP111内のキー送受信部112にキー信号を送り、キー信号の一致を確認すると機密データ記憶部118から取り出した機密データをエンコーダ117で暗号化した後、暗号化IP111に送信する。そして、暗号化IP111内のデコーダ114でデータを復号化してから外部機器に送り出す。機密データを受信する場合には、暗号化IP111内のエンコーダ113及び機密IP-X内のデコーダ116を経て、上述とは逆の処理を行ってから、機密データ記憶部118に機密データを登録する。

【0099】このような構成により、機密データはキー信号の一致が確認されない限り外部機器に送り出されることはなく、かつ、外部機器から機密データではないデータが誤って登録されることはない。したがって、機密IP-X、機密IP-Y単独や、IPOSデバイス上では機密データを利用することができないので、機密データ例えば第1の実施形態で述べたような機能情報記憶部に登録されている内部機能が部外者に解析されるのを防止することができる。

【0100】(第6の実施形態) 次に、実際に相互認証したり、システム制御部やソフトウェアでIPを制御する際に必要なIPOSデバイスの構成に関する第6の実施形態について説明する。本実施形態は、例えば上記第3の実施形態における機能選択制御を行なうために適したものである。

【0101】本実施形態におけるID情報(認識情報)とは、機能の識別に関する情報であり、例えばバスI/F、メモリ容量、レジスタマッピングに関するものがある。そして、このID情報を利用することで、ホストの要求する機能を機能認識IPが各周辺IPに自動でセットすることができるし、逆に、周辺IPの機能よりもホストの機能を自動で制限することもできる。例えば、各周辺IPはAバス、Bバス、Cバス、…など各種のバスI/Fを有しているが、ホスト側はAバスを使用するように制限したい場合である。

【0102】このような場合、ID情報を利用して機能の選択、制限等の設定を行なう方法として、以下の各具体例のような方法がある。

#### 【0103】—第1の具体例—

図24は、本実施形態の第1の具体例におけるIPOSデバイスの構成を示すブロック回路図である。同図に示すように、本具体例のIPOSデバイスは、CPU-IPと、機能認識IP121と、周辺IPであるIP-A、IP-B、IP-Cとを備えており、CPU-IP、IP-A、IP-B、IP-Cには、それぞれID情報122が内蔵されている。そして、各IPに内蔵されているID情報122に対して、初期化時に機能認識IP121が各IPのID情報を読み出して、各IP内の不要な機能を停止させる。例えば、不要機能のクロックを停止させる制御を行なうのである。

24

【0104】これにより、IPを変更することなく消費電力を低減することができる、不要回路の縮退故障を検出することができる、特定用途向けのLSIを構成した後、機能認識IP(チップ)をシリコン配線基板に貼り付けるだけで機能をカスタマイズ化することが可能になる、などの効果を発揮することができる。

#### 【0105】—第2の具体例—

図25は、本実施形態の第2の具体例におけるIPOSデバイスの構成を示すブロック回路図である。同図に示すように、本具体例のIPOSデバイスは、CPU-IPと、周辺IPであるIP-A、IP-B、IP-Cとを備えており、CPU-IP、IP-A、IP-B、IP-Cには、それぞれID情報及び認識機能124が内蔵されている。そして、ID情報及び認識機能124を内蔵しているCPU-IPにより、特定の機能を停止させたり、あるいは、複数の機能から選択する制御を行なう。

【0106】これにより、CPU-IPごとに周辺IP(チップ)の変更が不要となり多種のCPU-IPに対してIPOSデバイスの構造を共通化することができる、数種類のCPU-IPの機能(バスI/F)を内蔵した汎用周辺IP(チップ)の再利用を図ることができる、などの効果を発揮することができる。

#### 【0107】—第3の具体例—

図26は、本実施形態の第3の具体例におけるIPOSデバイスの構成を示すブロック回路図である。同図に示すように、本具体例のIPOSデバイスは、CPU-IPと、認識ソフトIP126(メモリの記憶内容)と、周辺IPであるIP-A、IP-B、IP-Cとを備えており、CPU-IP、IP-A、IP-B、IP-Cには、それぞれID情報122が内蔵されている。そして、CPU-IPから各周辺IPにアクセスして、各IPに内蔵されているID情報122を読み出し、認識ソフトIP126内の情報から不要な機能を停止、選択する制御を行なう。例えば、レジスタにフラグをセットすることにより、不要な機能を停止させるのである。

【0108】これにより、メモリの記憶内容の変更のみで周辺IP(チップ)の機能選択が可能となる、各周辺IPのID情報の読み出しが可能になる、あるLSIを構成した後、ハード部分を変更しなくても認識ソフト(メモリ)の変更だけで機能の変更が可能になる、などの効果を発揮することができる。

【0109】(第7の実施形態) 次に、実際に相互認証したり、システム制御部やソフトウェアでIPを制御する際に必要なIPの構成に関する第6の実施形態について説明する。本実施形態は、例えば上記第1、第2、第3の実施形態、特に第2の実施形態の第6の具体例における機能選択制御を行なうために適したものである。本実施形態におけるID情報は例えばnビットのレジスタによって表現される。

25

【0110】このような場合、制限したい機能を設定する方法として、以下の各具体例のような方法がある。

【0111】－第1の具体例－

図27は、本実施形態の第1の具体例におけるクロック停止制御のための構成、方法を示すブロック回路図である。同図に示すように、IPには、機能情報に相当するレジスタ131と、レジスタ131の出力とクロックとを受けてそのAND演算結果を各機能A、機能B、機能Cに出力するAND回路132a、132b、132cとが設けられている。つまり、予めレジスタ131に機能A、機能B、機能Cのうちの必要な機能を設定しておいて、不要な機能へのクロックの入力を止めるという方法である。

【0112】－第2の具体例－

図28は、本実施形態の第2の具体例における機能セレクト制御のための構成、方法を示すブロック回路図である。同図に示すように、IPには、機能A、機能B、機能Cのいずれかを選択するためのセクタ133と、機能情報に相当するレジスタ134とが設けられている。つまり、予めレジスタ134に機能A、機能B、機能Cのうちの必要な機能を設定しておいて、不要な機能の出力を止めるという方法である。

【0113】－第3の具体例－

図29は、本実施形態の第3の具体例における電源制御のための構成、方法を示すブロック回路図である。同図に示すように、IPには、機能情報に相当するレジスタ135と、レジスタ135の出力をゲートに受けて各機能A、機能B、機能Cに電源電圧VDDを出力するMOSトランジスタ136a、136b、136cとが設けられている。つまり、予めレジスタ135に機能A、機能B、機能Cのうちの必要な機能を設定しておいて、不要な機能への電源電圧の供給を止めるという方法である。

【0114】－第4の具体例－

図30は、本実施形態の第4の具体例における入力固定制御のための構成、方法を示すブロック回路図である。同図に示すように、IPには、機能情報に相当するレジスタ137と、レジスタ137の出力と入力信号Sinとを受けてそのAND演算結果を各機能A、機能B、機能Cに出力するAND回路138a、138b、138cとが設けられている。つまり、予めレジスタ137に機能A、機能B、機能Cのうちの必要な機能を設定しておいて、不要な機能への入力信号Sinの入力を制限するという方法である。

【0115】なお、上記各具体例は、レジスタに代えて配線構造を用いると第1の実施形態にも適用することができる。

【0116】－アドレスの再構築の具体例－

図31は、上記各具体例に適用が可能なレジスタのアドレスを再構築するための構成、方法の一例を示すブロッ

26

ク回路図である。IPには、mから0のビット幅を有する入力アドレスを受けて、そのうちのn ( $n < m$ ) から0までのビット幅分をデコードするためのアドレスデコーダ141と、mから0のビット幅を有する入力アドレスのmからn+1までのビット幅分を上位アドレスとして登録している上位アドレス設定レジスタ142と、上記アドレス設定レジスタ142に登録されているmからn+1までの上位アドレスと、入力アドレスのmからn+1までの上位アドレスとを比較して両者が一致したときには一致信号を出力する比較器143と、比較器143からの一致信号とアドレスデコーダ141の出力とのAND演算を行なってその結果を出力するAND回路145とが設けられている。

【0117】すなわち、通常周辺の各IPのアドレスは、nから0のビットにより構成されているが、システム全体としてアドレスがm ( $m > n$ ) から始まるものとする。そのとき、ホスト側で、mからn+1の上位アドレスを各周辺IP毎にレジスタに設定して割り当てる。ホスト側からのアクセスは、mから0のビット幅の入力アドレスによって行なわれるが、比較器143においてその入力アドレスのうちの上位アドレスが上記アドレス設定レジスタ142に設定された上位アドレスと比較して一致すれば一致信号を出力する。一方、入力アドレスのうちの低位アドレスは、アドレスデコーダ141を通してデコードする。そして、それと一致信号とのANDを演算することにより、レジスタで設定されているかどうかを判定することができる。こうすれば、自分でアドレスマッピングを自動的に振り分けることができる。

【0118】

【発明の効果】本発明により、少品種、大量生産に適した半導体デバイス、その評価方法及びその機能設定方法が得られる。

【図面の簡単な説明】

【図1】(a)、(b)、(c)は、IP群を搭載するための配線基板となるシリコン配線基板の平面図、シリコン配線基板上に搭載されるIP群の例を示す平面図、及びシリコン配線基板の断面図である。

【図2】第1の実施形態においてIP OSデバイス内に配置される多機能IPの構造を概略的に示すブロック図である。

【図3】第1の実施形態の第1の具体例における評価用IP OSデバイスの構成を概略的に示すブロック図である。

【図4】第1の実施形態の第1の具体例における評価用IP OSデバイスの断面図である。

【図5】第1の実施形態の第2の具体例における汎用の評価用IP OSデバイスの評価方法を説明するためのブロック図である。

【図6】第1の実施形態の第3の具体例における汎用の評価用IP OSデバイスの評価方法を説明するためのブ



27

ロック図である。

【図7】第1の実施形態の第4の具体例における汎用の評価用IPOSデバイスの遠隔操作による評価システムを概略的に示すブロック図である。

【図8】(a), (b)は、第2の実施形態の第1の具体例におけるIPの平面図及びIPOSデバイスの部分断面図である。

【図9】(a), (b)は、第2の実施形態の第2の具体例におけるIPの平面図及びIPOSデバイスの部分断面図である。

【図10】(a), (b)は、第2の実施形態の第3の具体例におけるIPの平面図及びIPOSデバイスの部分断面図である。

【図11】(a), (b)は、第2の実施形態の第4の具体例におけるIPの平面図及びIPOSデバイスの部分断面図である。

【図12】(a), (b)は、第2の実施形態の第5の具体例における機能の設定に関するIPOSデバイスの構成を示す斜視図及びブロック回路図である。

【図13】(a), (b)は、第2の実施形態の第6の具体例及びその変形例における機能選択方法を示す図である。

【図14】第3の実施形態におけるIPOSデバイスに配置されるIPの基本的な構成を示すブロック図である。

【図15】第3の実施形態の第1の具体例におけるIPOSデバイスの構成を概略的に示すブロック図である。

【図16】第3の実施形態の第2の具体例におけるIPOSデバイス及び1つのIPの構成を概略的に示すブロック図である。

【図17】第3の実施形態の第3の具体例におけるIPOSデバイスの構成を概略的に示すブロック図である。

【図18】第3の実施形態の第4の具体例におけるIPOSデバイスの構成を概略的に示すブロック図である。

【図19】第3の実施形態の第4の具体例の変形例におけるIPOSデバイスの構成を概略的に示すブロック図である。

【図20】第4の実施形態のIPOSデバイスのもっとも基本的な構造を概略的に示すブロック図である。

【図21】1ホスト対多周辺回路の構成を有するバス統合システムに係る第4の実施形態の具体例を示すブロック図である。

【図22】第5の実施形態におけるIPOSデバイスの構成を概略的に示すブロック図である。

【図23】第5の実施形態における暗号化IPと機密IPとの間の信号処理方法の一例を示すブロック図である。

【図24】第6の実施形態の第1の具体例におけるIPOSデバイスの構成を示すブロック回路図である。

【図25】第6の実施形態の第2の具体例におけるIP

28

OSデバイスの構成を示すブロック回路図である。

【図26】第6の実施形態の第3の具体例におけるIPOSデバイスの構成を示すブロック回路図である。

【図27】第7の実施形態の第1の具体例におけるクロック停止制御のための構成、方法を示すブロック回路図である。

【図28】第7の実施形態の第2の具体例における機能セレクト制御のための構成、方法を示すブロック回路図である。

10 【図29】第7の実施形態の第3の具体例における電源制御のための構成、方法を示すブロック回路図である。

【図30】第7の実施形態の第4の具体例における入力固定制御のための構成、方法を示すブロック回路図である。

【図31】第7の実施形態の各具体例に適用が可能なレジスタのアドレスを再構築するための構成、方法の一例を示すブロック回路図である。

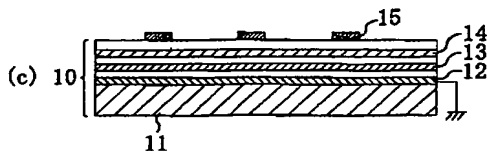
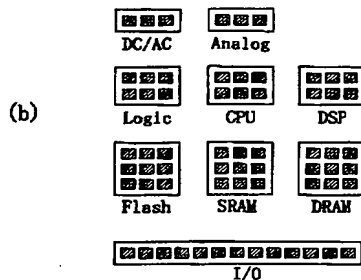
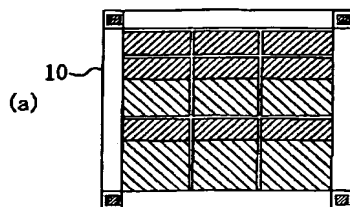
#### 【符号の説明】

10	シリコン配線基板
11	シリコン基板
12	グランドプレーン
13	第1配線層
14	第2配線層
15	パッド
21	IPOSデバイス
22	ユーザロジック
23	評価用IP
24	評価用IP
25	シリコン配線基板
26	通常動作作用配線層
27	評価用配線層
30	IPOSデバイス
31	ユーザボード
32	エミュレータ
33, 34	評価システム
35	機能シミュレータ
36, 37	制御システム
39	ライブラリ
40	IP
41	電源配線
42	グランド配線
43	シリコン配線基板
45	IP
46	セクタ
47	シリコン配線基板
48	電源ライン
49	グランドライン
50	コンタクト
51	IP
52	シリコン配線基板

29

55, 56 IP  
 57 セレクタ  
 58 電源ライン  
 59 グランドライン  
 60 シリコン配線基板  
 61 Key IP  
 65 IP  
 67 レジスタ  
 68 エミュレータ  
 69 設定用レジスタ  
 70 IP  
 71 機能情報記憶部  
 72 IPOSデバイス  
 73 表示装置  
 75, 76 IP  
 77 機能情報記憶部  
 78 システム制御部  
 100 IPOSデバイス  
 101 バスIP  
 102 バスIP  
 103 ホストIP  
 104~106 USBデバイス機能  
 110 IPOSデバイス  
 111 暗号化IP

【図1】

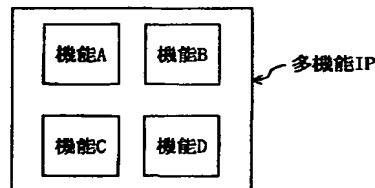


30

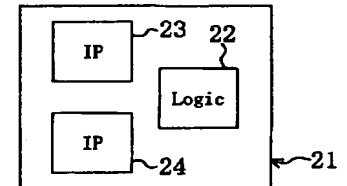
\* 112 キー送受信部  
 113 エンコーダ  
 114 デコーダ  
 115 キー送受信部  
 116 デコーダ  
 117 エンコーダ  
 118 機密データ記憶部  
 121 機能認識IP  
 122 ID情報  
 10 124 ID情報及び認識機能  
 126 認識ソフトIP  
 131 レジスタ  
 132 AND回路  
 133 セレクタ  
 134 レジスタ  
 135 レジスタ  
 136 MOSTランジスタ  
 137 レジスタ  
 138 AND回路  
 20 141 アドレスデコーダ  
 142 上位アドレス設定レジスタ  
 143 比較器  
 145 AND回路

\*

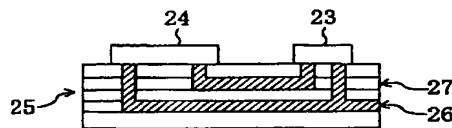
【図2】



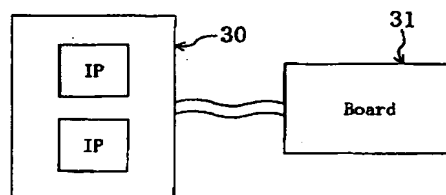
【図3】



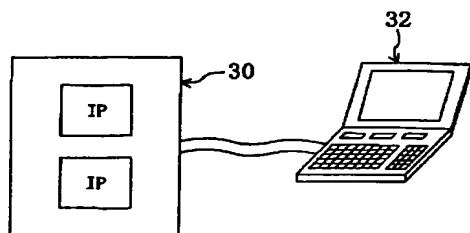
【図4】



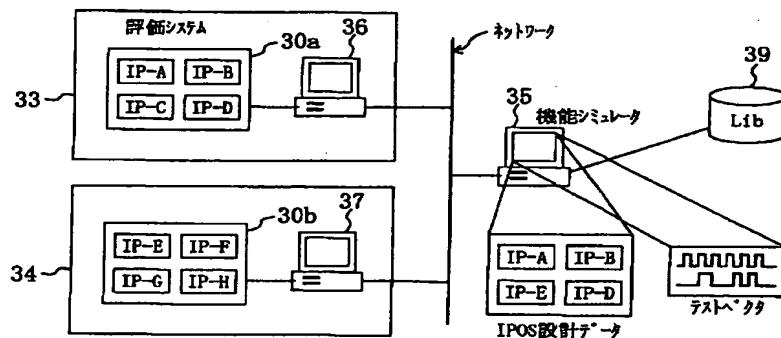
【図5】



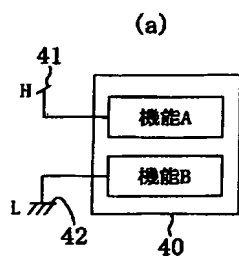
【図6】



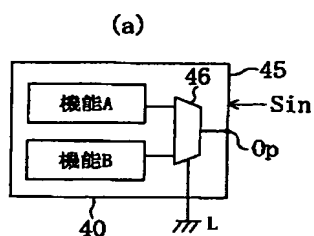
【図7】



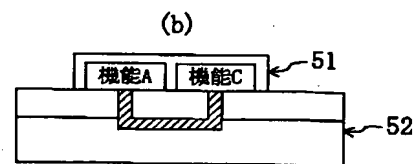
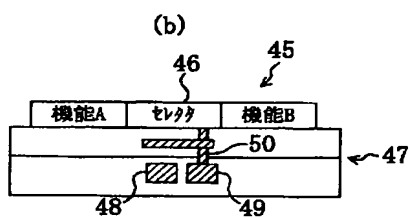
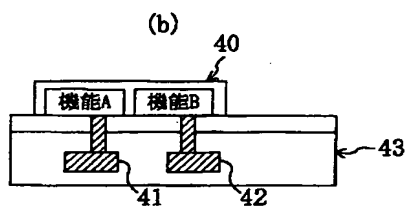
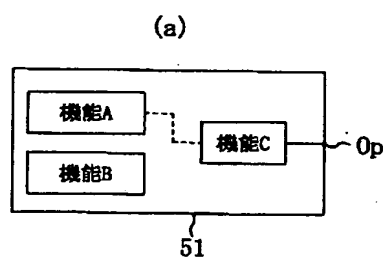
【図8】



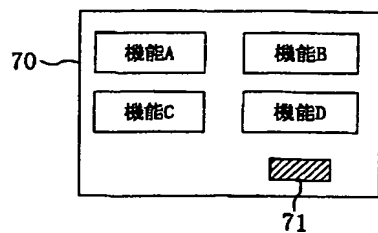
【図9】



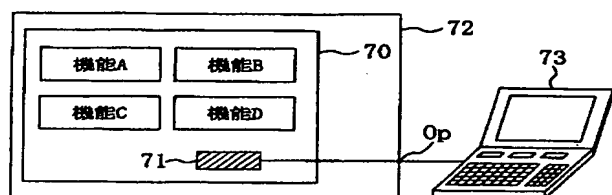
【図10】



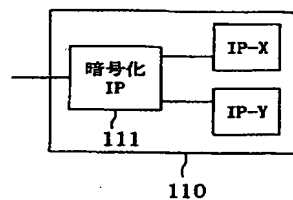
【図14】



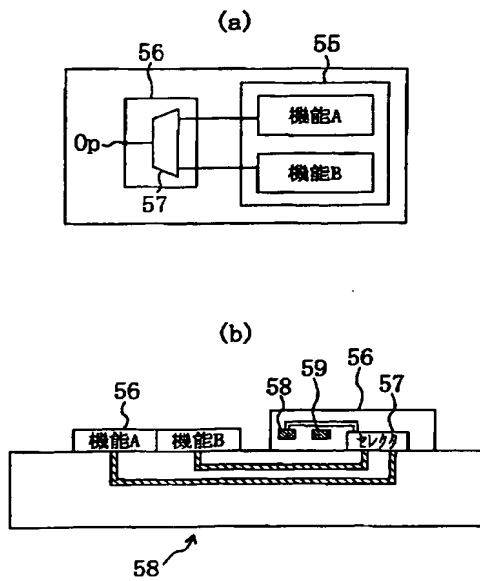
【図15】



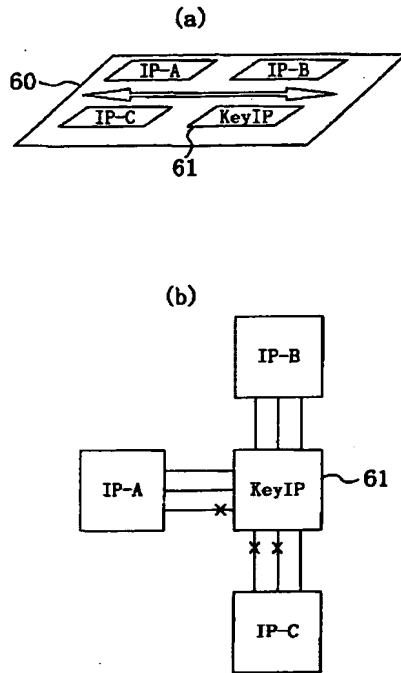
【図22】



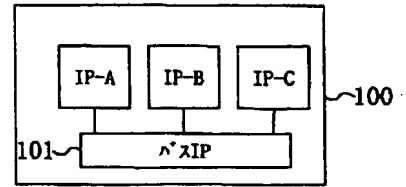
【図11】



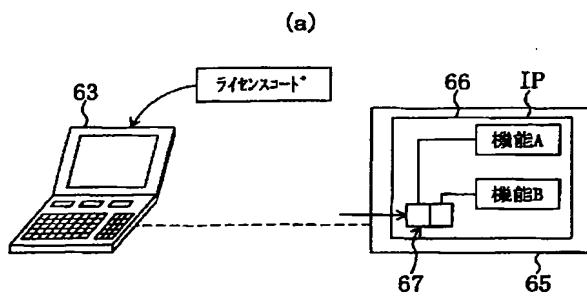
【図12】



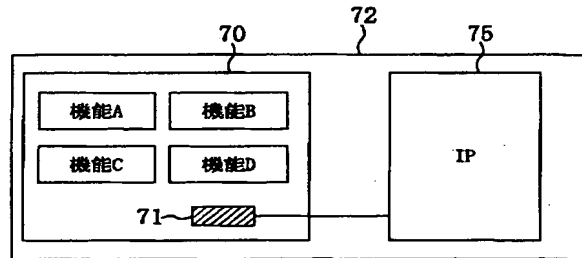
【図20】



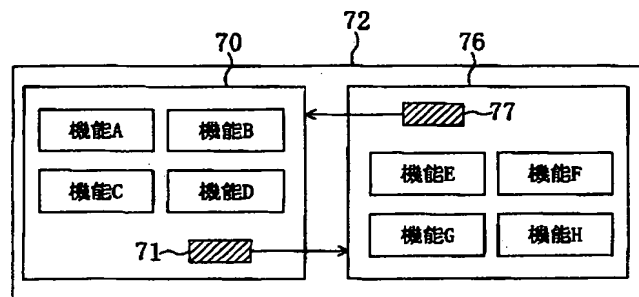
【図13】



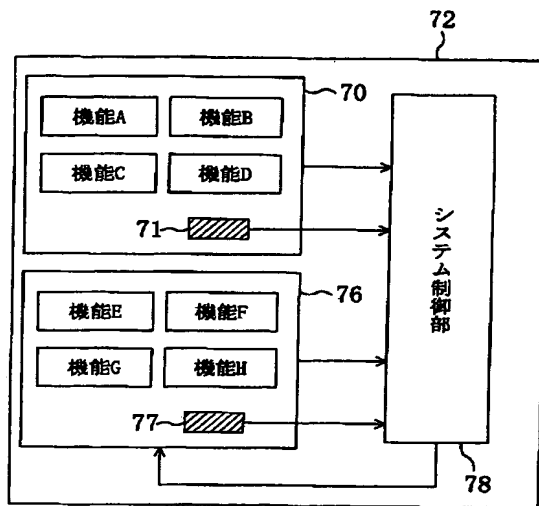
【図16】



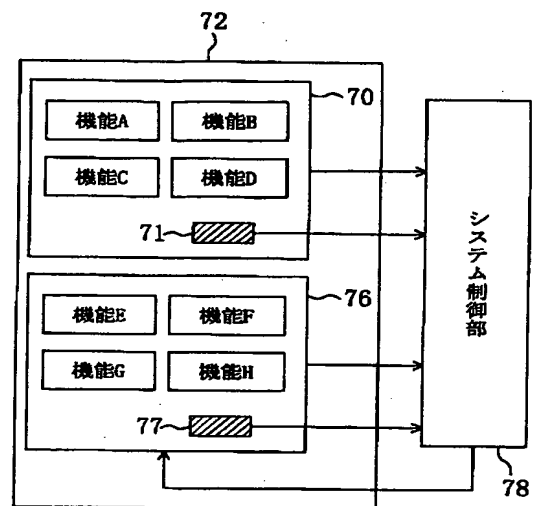
【図17】



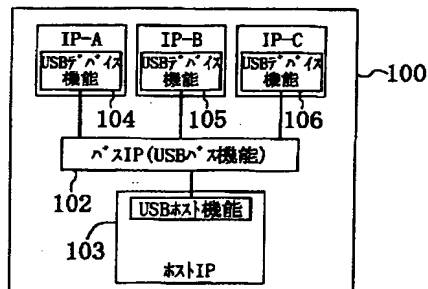
【図18】



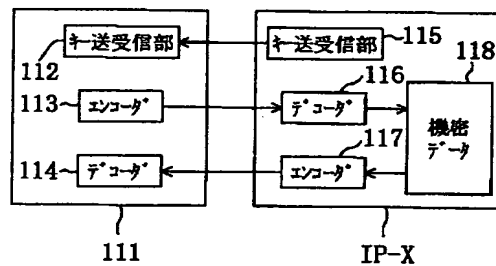
【図19】



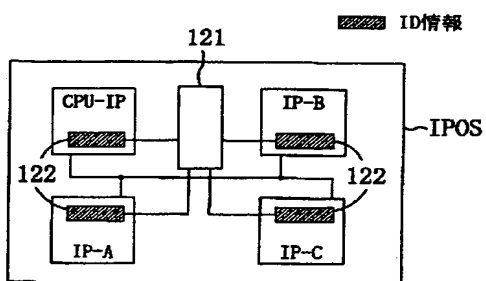
【図21】



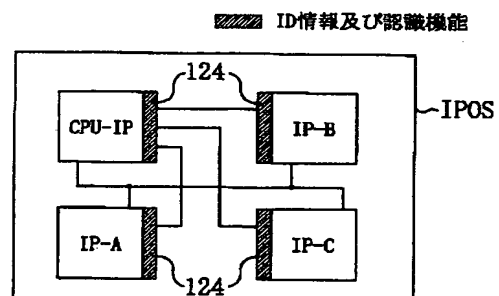
【図23】



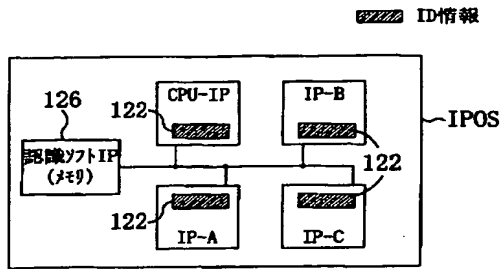
【図24】



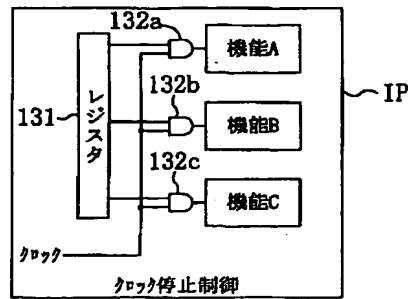
【図25】



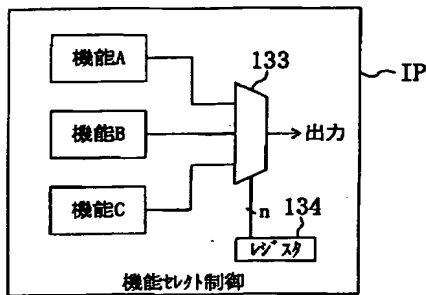
【図26】



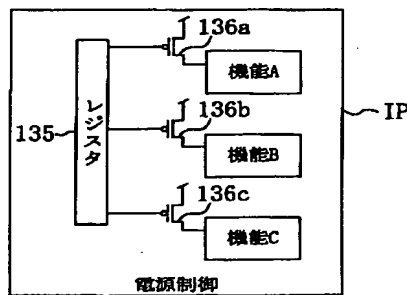
【図27】



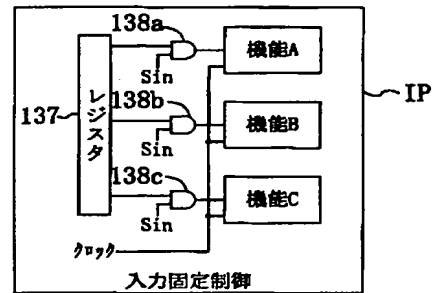
【図28】



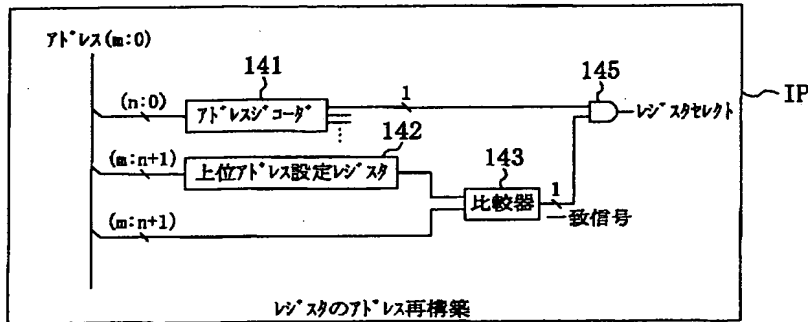
【図29】



【図30】



【図31】



フロントページの続き

(72)発明者 塩見 謙太郎  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72)発明者 本原 章  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

Fターム(参考) 2G032 AA01 AA07 AA09 AK02 AK15  
AL07  
5F038 CA03 CD02 CD06 DF05 DF10  
DF16 DT12 DT16 DT19 EZ10  
EZ20  
5F064 BB31 DD04 DD39 EE22 EE52  
EE57 FF36 HH08 HH09 HH10  
HH12 HH14 HH18 HH20